

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08088245 A**

(43) Date of publication of application: **02.04.96**

(51) Int. Cl

H01L 21/60

H01L 23/50

(21) Application number: **06244922**

(71) Applicant: **NEC CORP**

(22) Date of filing: **14.09.94**

(72) Inventor: **YAMASHITA TSUTOMU**

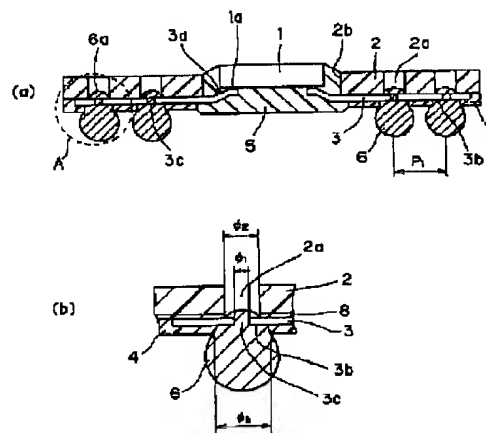
(54) SEMICONDUCTOR DEVICE

(57) Abstract:

PURPOSE: To contrive to cut down the cost of title semiconductor device by accomplishing a BGA (ball grid array) in a TAB system, and to make it possible to visually observe the state of soldering to a mounting substrate.

CONSTITUTION: An inner lead 3a and a land 3b are formed on a base film 2 where a through hole 2a is formed, and a copper foil wiring 3, on which through holes 3c are perforated, is formed on a land part. A cover resist 4, having an aperture on the land part, is covered on the base film. The electrode 1a of a semiconductor chip 1 is bonded on the inner lead 3a, and the electrode 1a is protected by sealing resin 5. A bump 6 is formed by supplying a solder ball to the land 3b and conducting reflow treatment. At this time, solder creeps up to the opposite side too via through hole 3c. By this creeping up 6a, the state of soldering can be visually observed, and electric characteristics can also be checked.

COPYRIGHT: (C)1996,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-88245

(43) 公開日 平成8年(1996)4月2日

(51) Int.Cl.⁶

H 0 1 L 21/60
23/50

識別記号

3 1 1 R
R

庁内整理番号

7726-4E

F I

技術表示箇所

審査請求 有 請求項の数 7 F D (全 8 頁)

(21) 出願番号

特願平6-244922

(22) 出願日

平成6年(1994)9月14日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 山下 力

東京都港区芝五丁目7番1号 日本電気株式会社内

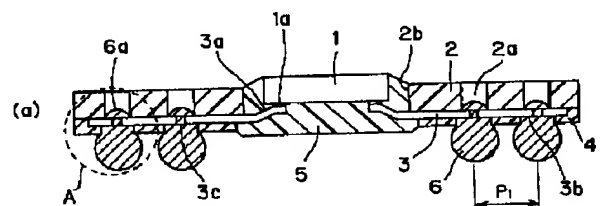
(74) 代理人 弁理士 尾身 祐助

(54) 【発明の名称】 半導体装置

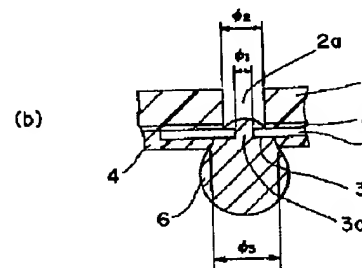
(57) 【要約】

【目的】 TAB方式でBGA(ボールグリッドアレイ)を実現できるようにしてコストダウンを図る。実装基板への半田付け状態を目視できるようにする。

【構成】 スルーホール2aが形成されたベースフィルム2上に、インナーリード3a、ランド3bを有し、ランド部に透孔3cが開孔された銅箔配線3を形成する。ベースフィルム上をランド部に開口を有するカバーレジスト4で被覆する。半導体チップ1の電極1aをインナーリード3aにボンディングし、封止樹脂5で保護する。ランド3bに半田ボールを供給してリフローしてパンプ6を形成する。このとき、透孔3cを介して半田は反対側にも這い上がる。この這い上がり6aにより、半田付け状態の目視と電気特性のチェックが可能となる。



6a...半田這い上がり



1...半導体ICチップ
2...ベースフィルム
2a...スルーホール
2b...デバイスホール
3...銅箔配線
3a...インナーリード

3b...ランド
3c...透孔
4...カバーレジスト
5...封止樹脂
6...半田パンプ
8...接着材

【特許請求の範囲】

【請求項1】 デバイスホールおよびスルーホールが形成されたベースフィルムおよび該ベースフィルム上に接着された、一端が前記デバイスホール内にインナーリードとして突出し他端が前記スルーホール上にまで延在してランドを形成している金属箔配線層を有するフィルムキャリアテープと、

電極が前記金属箔配線層のインナーリード部に接続された半導体ICチップと、

前記半導体ICチップを保護する封止樹脂と、

前記金属箔配線層のベースフィルム側またはその反対側に設けられたランド上に形成された導電性材料からなるバンプと、を備え、前記金属箔配線層のランドの中央部には、前記スルーホールより小さい寸法の透孔が開設されていることを特徴とする半導体装置。

【請求項2】 前記フィルムキャリアテープ上の金属箔配線層側には、前記ランド部に開口を有するカバーレジストが形成されていることを特徴とする請求項1記載の半導体装置。

【請求項3】 前記カバーレジストに形成された前記開口は、前記スルーホールの寸法より大きいことを特徴とする請求項1記載の半導体装置。

【請求項4】 前記バンプが半田ボールにより形成されていることを特徴とする請求項1記載の半導体装置。

【請求項5】 前記バンプ形成材料の一部は、前記金属箔配線層のバンプ形成面と反対側の面に前記透孔を通して這い上がっていることを特徴とする請求項1記載の半導体装置。

【請求項6】 前記金属箔配線層のインナーリード部および／またはランド部には、金、錫等のめっき層が形成されていることを特徴とする請求項1記載の半導体装置。

【請求項7】 前記半導体ICチップの電極がバンプにより形成されていることを特徴とする請求項1記載の半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、フィルムキャリアテープ上に半導体ICチップを搭載してなる半導体装置に関し、特にフィルムキャリアテープ上にグリッドアレイ状にバンプを配置し、これにより半導体ICチップの実装基板への接続を行うようにした半導体装置に関するものである。

【0002】

【従来の技術】 従来のフィルムキャリアテープを用いた半導体装置は次のように作製されていた。搬送および位置決め用スプロケットホールと半導体ICチップが配置される開孔部であるデバイスホールの開孔された、ポリイミドやポリエステル、ガラスエポキシ等の絶縁フィルムをベースフィルムとし、このベースフィルム上に接着

材を介して銅等の金属箔を接着し、この金属箔をエッチング等により所望の形状のリードと電氣的選別用のパッドとを形成する。

【0003】 このようにして形成されたフィルムキャリアテープのデバイスホール内に突出したリード（インナーリード）と、ICチップの電極端子上に予め設けた金属突起物であるバンプとを熱圧着または共晶法によりインナーリードボンディング（inner lead bonding；以下、ILBと記す）し、フィルムキャリアテープの状態
10 で電気選別やBT（burn-in test）試験を実施し、次に、リードをアウターリードボンディング（outer lead bonding；以下、OLBと記す）可能な所望の長さに切断する。

【0004】 このとき、リードの数が多数ピンの場合にはリードのアウターリードボンディング部のばらけを防止するため、フィルムキャリアテープを構成しているポリイミド等の絶縁フィルムをアウターリードの外端に残す方法が用いられることが多い。次いで、例えばプリント基板上のボンディングパッドにリードをOLBして
20 実装を行う。

【0005】 このようなフィルムキャリアテープを用いた半導体装置の実装方法では、プリント基板にOLBを行う際、OLBリードの厚さが約35μmと非常に薄い
ためOLBリードのコプラナリティーの確保が難しく、これに対応するため、フィルムキャリアテープ専用のOLBボンダーが必要であった。

【0006】 また、同一基板上に他の例えばQFP等の一括リフローで実装可能なパッケージと共に実装する場合、リフロー工程とは別工程で実装する必要があった。このために、フィルムキャリアテープ型半導体装置は特殊な
30 パッケージとして取り扱われ汎用性が不十分であった。

【0007】 一方、リフロー可能なQFP等のアウターリフローピッチは0.4mmピッチ程度が限界とされている。この限界に対処しうるものとして、日経マイクロデバイス1994年3月号pp. 58～64には、パッケージ裏面に外部端子として格子状に半田バンプを配置した表面実装型パッケージとしてBGA（Ball Grid Array）が紹介されている。このパッケージは、例えば220ピン級の23～24mm口の
40 パッケージを実現するためには、QFPでは0.4mmピッチが必要となるが、1.5mm程度のピッチでよい実装性に優れていることがわかる。

【0008】 また、BGAはパッケージの外形サイズが小さいため、パッケージ内部の配線長が短くでき、電氣的特性も向上する。このBGAパッケージの基板は多層プリント基板が用いられているがその他にセラミックの基板やフィルムキャリアテープを用いることもできる。このうち、フィルムキャリアテープを用いたものとして、例えばIBM社から発表（EIAJ-JEDEC JWG#2-7 TAP
50

E BALL GRID ARRAY (MAY,1994)) されたBGAパッケージがある〔以下、これを第1の従来例という〕。図6 (a) はその断面図であり、図6 (b) は図6 (a) のBで囲まれた部分の拡大図である。

【0009】このBGAパッケージでは、ベースフィルム2の上面に形成された銅箔配線3が下面に形成されたランド3bとスルーホールめっき3dにより接続されており、いわゆる2レイヤー2メタル技術によりフィルムキャリアテープが形成されている。このフィルムキャリアテープに形成されたランド3bには半田ボール11を用いて外部端子としての半田バンプが形成されている。また、半導体ICチップ1のバンプ1bは、銅箔配線3のインナーリード3aに接続されている。そしてフィルムキャリアテープの機械的補強の目的で接着材12を介して補強板13が貼り付けられ、さらに熱抵抗低減の目的で接着材10、14を介してヒートスプレッダ15が半導体ICチップ1の裏面および補強板13の片側に貼り付けられている。

【0010】このBGA半導体装置を実装基板上に実装するときは、実装基板上のパッド上に予め半田ペースト等を供給しておき前記半田ボール11を介して接着・実装される。このフィルムキャリアテープを使用したBGAパッケージでは、まず基板としてのフィルムキャリアテープが前述の通り、2レイヤー2メタル技術で製造されるために、一般的な3レイヤー1メタル技術で製造されるフィルムキャリアテープに対してコストが5倍から10倍に増加してしまうこと、次に2レイヤー2メタル技術で製造されるフィルムキャリアテープはそのテープの厚さが約50〜75 μ mのために機械的強度が不足し、基板として反りやうねりが生じやすくBGAパッケージの特徴である実装の容易性を損なう。

【0011】このために、機械的強度補強を目的として補強板13を貼り付けることが必要となるが、ここで補強板13とさらにヒートスプレッダ15のために、実装基板との接続部である半田ボール11が実装後簡単に目視により外観チェックを実施できないという問題が生じる。この外観チェックが容易にできない場合、必要に応じて、例えばX線装置を用いて実装状態をチェックすることは可能であるが、大量生産品種向きではなくパッケージが非常に高価なものになってしまう欠点があり、そのため実装コストをかけられない品種では適用することはできず、実装の容易性や対象品種の汎用性に欠けるという問題点があった。

【0012】一方、パッケージ基板上から実装後の半田付け状態をチェック可能にしたものとして、例えば、特開昭61-51945号公報、特開平1-258454号公報で提案されたものがある。図7 (a) は、特開平1-258454号公報に記載された半導体装置（以下、これを第2の従来例と記す）の断面図であり、図7 (b) はその実装基板への実装状態を示す側面図であ

る。

【0013】これは、ランドグリッドアレイ以下(LGA)と呼ばれるものであって、パッケージ基板16としてリジッドな基板を用い（これは、上述した通常型のBGAパッケージの場合と同様である）、基板16の上下面に銅箔配線17を形成し、基板の周辺部上下面それぞれにグリッド状に設けられたランド17a、17b同士をスルーホールめっき17cにより接続し、さらに基板裏面中央部に銅板18を圧接する。また、基板裏面のランド17bには半田めっき19が施されている。

【0014】このパッケージ基板の中央部に形成された凹部に接着材10を介して半導体ICチップ1を搭載し、この半導体ICチップ1と銅箔配線17間をボンディングワイヤ20にて接続し、チップおよびボンディングワイヤを封止樹脂5にて封止している。

【0015】このLGAパッケージを実装基板上に実装する場合は、図7 (b) に示すように、実装基板9のパッド上に予め半田ペースト等をスクリーン印刷法等により塗布しておき、LGAパッケージを実装基板9に位置合わせして搭載し、半田リフローする。実装時つまりリフロー時に、実装基板9上の半田21がパッケージのスルーホールめっき17cからはい上がってくることにより半田這い上がり21aが形成されるので、実装基板9とパッケージ基板16が半田接合できていることが外観チェックできるとされている。

【0016】さらに、フィルムキャリアテープを使用したLGAパッケージ（以下、これを第3の従来例という）が特開昭63-34936号公報において提案されている。これはフィルムキャリアテープ表面に銅箔配線を、テープ裏面にランドを形成し、両者間をスルーホールにより接続し、銅箔配線のインナーリード部に半導体ICチップをILBしたものである。このパッケージも第2の従来例の場合と同様に、実装基板上に予め半田ペースト等を供給した後に実装される。このパッケージでは、基板表面の銅箔配線がスルーホール上を覆うように形成されているため、実装後の半田付け具合の外観チェックはできない構造となっていた。

【0017】

【発明が解決しようとする課題】この種BGA型（あるいはLGA型）半導体装置においては、量産性に富むこと、実装性に優れていること、実装後の外観チェックが容易であること、パッケージコストが低いこと、等が要求される。このなかで特に外観チェックが容易であることが実装後の電氣的試験、リペア修理等に関連するため重要な課題となる。

【0018】而して、図6に示した第1の従来例および第3の従来例では、実装後に半田付け状態が目視できないという問題点があった。また、第1の従来例では、2レイヤー2メタル構造のフィルムキャリアテープを使用しているためパッケージが非常に高価になるという欠点

10

20

30

40

50

があり、さらに補強板13が必要となる等量産性でも劣っていた。

【0019】一方、第2の従来例では、図7(b)に示されるように、実装後の外観チェックが容易である。しかし、このパッケージでは、基板としてリジッドな基板を使用しており、量産性がフィルムキャリアテープの場合と比較して劣っている。さらに、このパッケージ構造では、構造上スルーホールにはスルーホールめっき17cが、下面のランド17b表面には半田めっき19が必要となり、さらに実装後の半田部の高さを一定に保つためパッケージ裏面中央部に銅板18を設ける等複雑な構造となっている。したがって、高価なパッケージになってしまうという欠点がある。

【0020】また、第2、第3の従来例では、実装に必要な半田はパッケージ側には取り付けられておらず、実装基板側に供給しなければならない。この半田供給は半田ペースト等をスクリーン印刷法等で行われるが、例えば、ランド17b間のピッチP₃が1.27mmであるとき、このランド径は約0.5~0.6mmである。

【0021】ここで、パッケージと基板間を確実に接続しかつ接続信頼性を保つために、そして実装基板とパッケージ間の熱膨張係数の差によって生じる熱応力を緩和するために、実装後のパッケージと基板間のすき間は約0.5mm~1.0mmになるようにしなければならない。よって、径約0.5~0.6mmのランドへ半田ペースト等を1.0~1.5mmの厚さに供給することが必要となるが、一般的には非常に困難な作業になるので、実装性に欠けるパッケージ構造となっている。

【0022】本発明は、以上の状況に鑑みてなされたものであって、その目的は、量産性に優れ、安価で、実装作業性がよく、しかも実装後の実装状態の目視チェックが容易な半導体装置を提供することである。

【0023】

【課題を解決するための手段】上記目的を達成するため、本発明によれば、

①デバイスホールおよびスルーホールが形成されたベースフィルムおよび該ベースフィルム上に接着された、一端が前記デバイスホール内にインナーリードとして突出し他端が前記スルーホール上にまで延在してランドを形成している金属箔配線層を有するフィルムキャリアテープと、

②電極が前記金属箔配線層のインナーリード部に接続された半導体ICチップと、

③前記半導体ICチップを保護する封止樹脂と、

④前記金属箔配線層のベースフィルム側またはその反対側に設けられたランド上に形成された導電性材料からなるバンパと、を備え、前記金属箔配線層のランドの中央部には、前記スルーホールより小さい寸法の透孔が開設されていることを特徴とする半導体装置、が提供され

る。

【0024】

【実施例】次に、本発明の実施例について図面を参照して説明する。

【第1の実施例】図1(a)は、本発明の第1の実施例を示す断面図であり、図1(b)は、図1(a)のAで示す部分の拡大図である。図1(a)、(b)において、1は半導体ICチップ、2はフィルムキャリアテープのベースフィルム、2a、2bは、ベースフィルムに開孔されたスルーホールとデバイスホール、3は、ベースフィルム2上に形成された銅箔配線、3aは、銅箔配線3の内側先端部に設けられたインナーリード、3bは外部接続用のランド、3cはランド中央部に開設された透孔、4は、ランド部を除くフィルムキャリアテープ上に形成されたカバーレジスト、5は、半導体ICチップを保護する封止樹脂、6は半田バンパである。ここで、図1(b)に示されるように、スルーホール2a、銅箔配線3の透孔3c、カバーレジスト4の開孔部寸法をそれぞれ ϕ_2 、 ϕ_1 、 ϕ_3 とすると、 $\phi_3 \geq \phi_2 > \phi_1$ の関係式が成立するように形成されている。

【0025】この構造のフィルムキャリアテープは、通常の3レイヤー1メタル構成のテープの製造方法で製造される。スルーホール2aはデバイスホール2bと同時に金型によるパンチングあるいはレーザ法により開孔される。インナーリード3aおよびランド3bを有し透孔3cの開設された銅箔配線3は、銅張りテープにレジスト塗布、露光、現像、エッチング等の処理を施すことによって形成される。カバーレジスト4はスクリーン印刷法等により所定のパターンに形成される。半田バンパ6は、例えば半田ボールをランド3bへ供給しリフローすることにより形成される。

【0026】ここで、半田バンパ6のピッチP₁が1.27mmのとき、スルーホール2aの寸法は $\phi_2 = 0.35 \sim 0.4$ mm、銅箔配線3の透孔3cの寸法は $\phi_1 = 0.2 \sim 0.25$ mm、カバーレジストの開孔寸法は $\phi_3 = 0.4 \sim 0.6$ mmとされる。そして、この場合ランド3bへ $0.7 \sim 0.9$ mm ϕ の半田ボールを供給しリフローすることによりバンパ高さが約0.5~0.8mmの半田バンパ6が形成される。

【0027】このリフロー時に、ランド3bに開孔された透孔3cが、半田ボールのフラックスおよびその分解ガスの逃げ穴となり、そして半田がこの透孔3cを通してスルーホール2a側へ這い上がる。この半田這い上がり6aは、スルーホール2aの側面にはスルーホールめっきが施されておらず、ベースフィルム2の材料が半田ぬれ性の悪いポリイミドやポリエステル等でできていることから、ベースフィルム2の表面まで達することなく、ランド3b裏面の一定の高さで止まり、半田バンパ6の形状およびバンパ高さは均一化される。

【0028】また、半田が透孔3cを通してランド3b

10

20

30

40

50

の表面と裏面に接合されるので半田バンプとランドの接着強度が向上し、かつベースフィルム2の裏面側からベースフィルム2の表面側に接合された半田バンプの半田這い上がり6aを外観チェックできるので、半田バンプの接合状態を確認することができる。

【0029】図2(a)～(d)は、本発明の第1の実施例の製造方法を説明するための工程順断面図である。まず、図2(a)に示すように、図1(a)、(b)に関連して説明したフィルムキャリアテープのインナーリード3aに半導体ICチップ1の電極1aをILBする。ここで、銅箔配線3は約35μm厚の銅箔により形成されており、必要に応じてインナーリード3a、ランド3bの表面には、0.2～1.0μm厚の金めっきや0.3～0.5μm厚のすずめっきが施される。

【0030】また、半導体チップ1上の電極1aとして約10～30μm厚のバンプが形成されている。しかし、通常の約1～2μm厚のアルミ等の電極をそのまま使用することもできる。ILBの方法は、電極1aとしてバンプが形成されている場合は一括ボンディング方式（ギャングボンディング方式）が有利に適用されるが、またシングルポイント方式により行ってもよい。電極1aがアルミ電極等である場合、シングルポイント方式が採用される。

【0031】次に、図2(b)に示すように、半導体ICチップ1の電極面にポッティング法により樹脂を供給し、キュアして封止樹脂5を形成する。これは、半導体ICチップ1の保護だけでなく、インナーリード3aの保護およびこれらをベースフィルム2に確実に固定するためのものである。樹脂供給法は、ポッティング法に代えて、スクリーン印刷法等を適用することができる。封止樹脂5の膜厚は、半導体ICチップ1の表面より約200～300μmとすることが望ましい。

【0032】次に、図2(c)に示すように、ランド3bにフラックスを塗布し、続いて半田ボール等を供給し、リフローすることによって半田バンプ6を形成する。この半田バンプ6の形成方法は、他にスクリーン印刷法やディスペンサー法、溶融半田を供給するインジェクション法、半田ワイヤを使用するボールボンディング法等を採用することができる。さらに、半田バンプに代え、他の金属バンプを形成するようにしてもよい。例えば、半田被覆の施された金属ボールを使用してバンプを形成してもよい。

【0033】このようにして製造されたフィルムキャリア方式BGA型半導体装置は、図2(d)に示すように、実装基板9上のパッド9aに半田バンプ6を介して一括リフロー方式により実装される。本発明による半導体装置には半田ボール等により半田バンプ6が形成されているため、実装基板9上のパッド9aへは薄い例えば0.1～0.2mm厚の半田ペーストを供給するのみで接続が可能であり、他の表面実装型パッケージ例えばQ

FP等と同時に同条件のリフロー方式で実装することができる。

【0034】以上説明したフィルムキャリア方式BGA型半導体装置では、ランドの中央部に透孔3cがあり、ベースフィルムにはスルーホール2aが開孔されているので、パッケージに半田ボール等を供給し半田バンプ6を形成する工程では、ランドと半田の接合性を容易に外観チェックすることができるとともに、このBGAパッケージを実装基板9上に実装するときは、半田接合性をベースフィルム2のスルーホール2aより半田這い上がり6aを目視することにより、チェックできるようになる。またこのBGAパッケージは、安価な3レイヤー1メタル構成のフィルムキャリアを使用しているため、低コストで製造することが可能である。

【0035】〔第2の実施例〕次に、図3を参照して本発明の第2の実施例について説明する。なお、図3(a)は、本発明の第2の実施例を示す断面図であり、図3(b)は、その実装基板への実装状態を示す断面図である。

【0036】図3(a)において、1は半導体ICチップ、2はベースフィルム、2aはベースフィルムに開孔されたスルーホール、3は銅箔配線、3aはインナーリード、3bはランド、3cはランド3bの中央部に開設された透孔、4はカバーレジスト、5は封止樹脂、6は半田バンプ、6aは半田這い上がりである。本実施例の第1の実施例と相違する点は、半田バンプ6が銅箔配線3のベースフィルム2側に形成されている点である。

【0037】ここで、スルーホール2a、銅箔配線3の透孔3cおよびカバーレジスト4の開孔部寸法をそれぞれφ22、φ11、φ33とすると、φ33≧φ22>φ11の関係式が成立するようになされている。この構造のフィルムキャリアテープも通常の3レイヤー1メタル構成のテープの製造方法で製造される。

【0038】ここで半田バンプ6のピッチP2が例えば1.0mmのときは、φ11=0.15～0.2mm、φ22=0.3～0.35mm、φ33=0.35～0.5mmとし、スルーホール2aにフラックスを塗布した後、そこへ0.6～0.7mmφの半田ボールを供給して半田リフローする。これによりバンプ高さが0.4～0.6mmの半田バンプ6が形成される。

【0039】このリフロー工程において、バンプピッチがP2=1.0mmで、φ22=0.3～0.35mmに対し半田ボールが0.6～0.7mmφの大きさであり、ベースフィルム2がポリイミド等の半田不活性の基材であるため、半田ボール同士がショートすることはない。またランド3bの中央部にはφ11=0.15～0.2mmの寸法の透孔3c設けられているのでフラックスおよびフラックスの分解ガスの逃げ穴が確保され、さらにこの透孔3cを通して半田がカバーレジスト4側へ這い上がり、半田這い上がり6aが形成される。

【0040】ランド3b裏面の周辺にはカバーレジスト4が塗布され、カバーレジストは半田濡れ性がないために半田這い上がり6a同士がショートすることなく、リフロー後の半田バンプ6の形状およびバンプ高さは均一化し、0.4～0.6mmのバンプ高さを有する半田バンプ6が形成できる。本実施例においては、半田這い上がり6aの状態をベースフィルムの表面側から外観チェックできるので、ベースフィルム2の裏面側に形成された半田バンプ6のランド3bとの接合状態を容易に確認することができる。

【0041】このように形成された半導体装置は、図3(b)に示すように、実装基板9上のパッド9aに半田バンプ6を介して一括リフロー方式により実装されるが、このとき半導体ICチップ1の裏面を接着材10を介して実装基板9上のパッド9bへ接着することができる。半導体ICチップが発熱量の多い品種の場合、本実施例を適用することによりその熱を実装基板9側へ逃がすことができる。

【0042】【第3の実施例】図4は、本発明の第3の実施例を示す断面図である。図4において、図3に示した第2の実施例の部分と同等の部分には同一の参照番号が付けられている。本実施例においても、半田バンプ6は第2の実施例の場合と同様にベースフィルム2のスルーホール2a側に形成されている。しかし、半導体ICチップ1はベースフィルム2の表面に対向して、いわゆるフェイスダウン方式にてILBされている。

【0043】【第4の実施例】図5は、本発明の第4の実施例を示す断面図である。図5において、図1に示した第1の実施例の部分と同等の部分には同一の参照番号が付けられているので重複した説明は省略するが、本実施例においては、半導体ICチップ1がベースフィルム2の表面に対向して、いわゆるフェイスアップ方式にてILBされている。

【0044】このように本発明のフィルムキャリア方式BGA型半導体装置は、ICチップのILB方式としてフェイスアップ方式、フェイスダウン方式のいずれをも採用することができ、また、バンプの形成方向も銅箔配線のベースフィルム側でもあるいはカバーレジスト側のいずれであってもよく、どの構造を採用するかは半導体ICチップの特性や実装構造により適宜選定することができるものである。

【0045】いずれのパッケージ構造でも、銅箔配線と半田バンプの接合状態およびパッケージと実装基板との接合状態を容易に確認できる構造であり、また、実装後実装した状態で半導体装置の電気特性を容易に確認することができる。これにより、半導体装置をリペアするか、再リフローするか等の判断を行うことが可能となることから、この点も本発明半導体装置の利点の一つに挙げられる。

【0046】

【発明の効果】以上説明したように、本発明は、フィルムキャリアテープのランド部に透孔を設け、ベースフィルムのランド部に対応する位置にスルーホールを設け、さらにランド部のベースフィルム側またはその反対側にバンプを設けたものであるもので、以下の効果を奏することができる。

【0047】(1)ランド中央部に形成された透孔からの半田這い上がり状態を目視することにより、バンプのランドへの接合状態およびバンプの実装基板への接合状態を容易にチェックすることができる。

(2)ランド部に形成された透孔からの半田這い上がりを利用して、実装後の半導体装置の電気的特性のチェックが可能となる。

(3)3レイヤー1メタル技術によりフィルムキャリアテープが作製されており、かつ、他の補強材等を使用する必要がないので、量産性が高く、ローコストで製品を製造することができるようになる。

(4)QFP等の他の表面実装型電子部品と同時に実装ができるようになるので、実装作業性が高くなる。

【図面の簡単な説明】

【図1】 本発明の第1の実施例の断面図とその部分拡大図。

【図2】 本発明の第1の実施例の製造方法を説明するための工程順断面図。

【図3】 本発明の第2の実施例の断面図とその実装状態を示す断面図。

【図4】 本発明の第3の実施例の断面図。

【図5】 本発明の第4の実施例の断面図。

【図6】 第1の従来例の断面図とその部分拡大図。

【図7】 第2の従来例の断面図とその実装状態を示す側面図。

【符号の説明】

1 半導体ICチップ

1a 電極

1b バンプ

2 ベースフィルム

2a スルーホール

2b デバイスホール

3 銅箔配線

3a インナーリード

3b ランド

3c 透孔

3d スルーホールめっき

4 カバーレジスト

5 封止樹脂

6 半田バンプ

6a 半田這い上がり

8、10、12、14 接着材

9 実装基板

9a、9b パッド

10

20

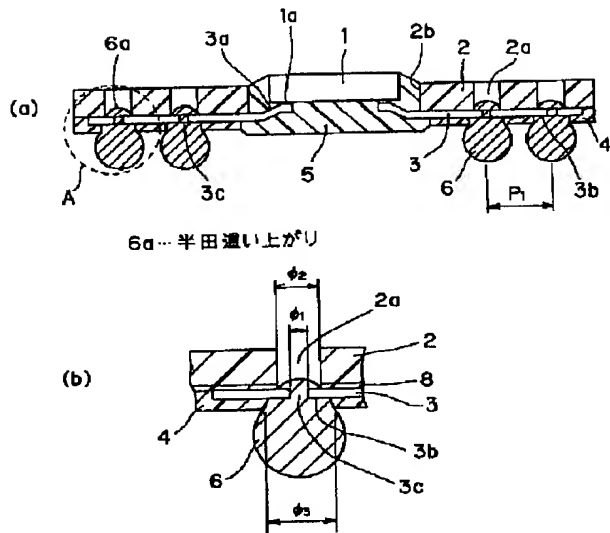
30

40

50

- 11 半田ボール
13 補強板
15 ヒートスプレッダ
16 パッケージ基板
17 銅箔配線
17 a、17 b ランド

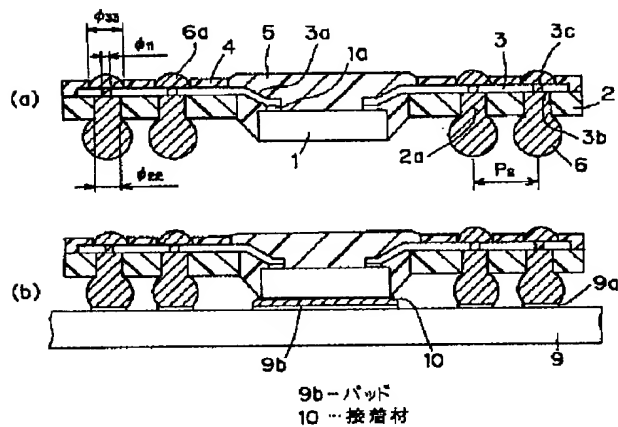
【図1】



6a…半田這い上がり

- | | |
|------------|-----------|
| 1…半導体ICチップ | 3b…ランド |
| 2…ベースフィルム | 3c…透孔 |
| 2a…スルーホール | 4…カバーレジスト |
| 2b…デバイスホール | 5…封止樹脂 |
| 3…銅箔配線 | 6…半田パン |
| 3a…インナーリード | 8…接着材 |

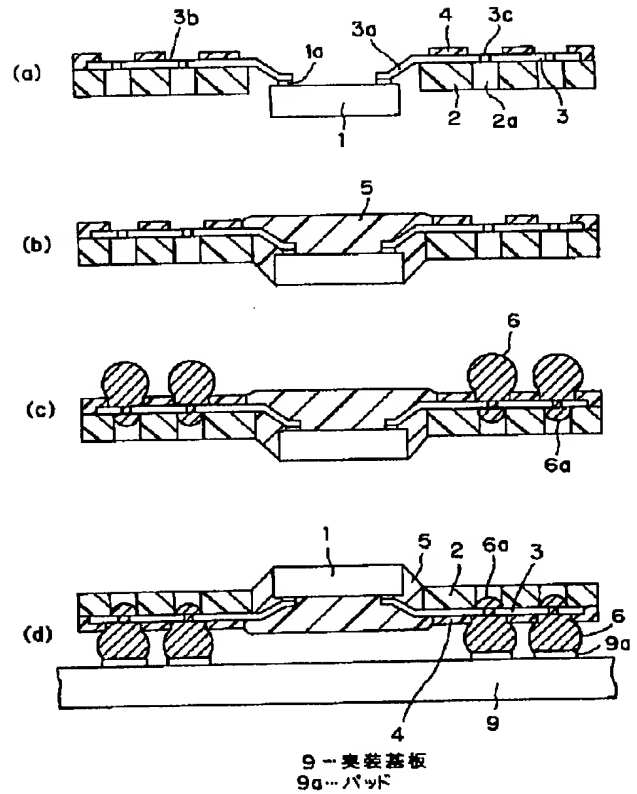
【図3】



9b…パッド
10…接着材

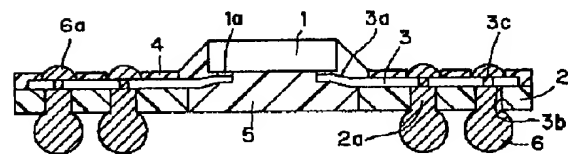
- 18 銅板
19 半田めっき
20 ボンディングワイヤ
21 半田
21 a 半田這い上がり

【図2】

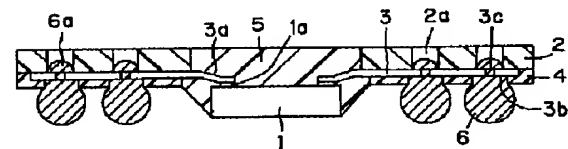


9…実装基板
9a…パッド

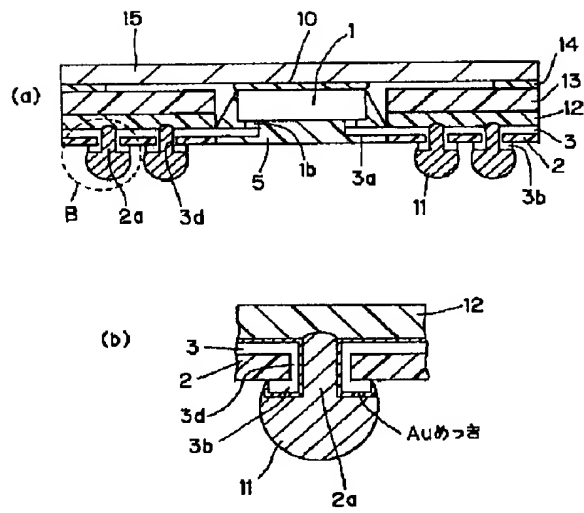
【図4】



【図5】

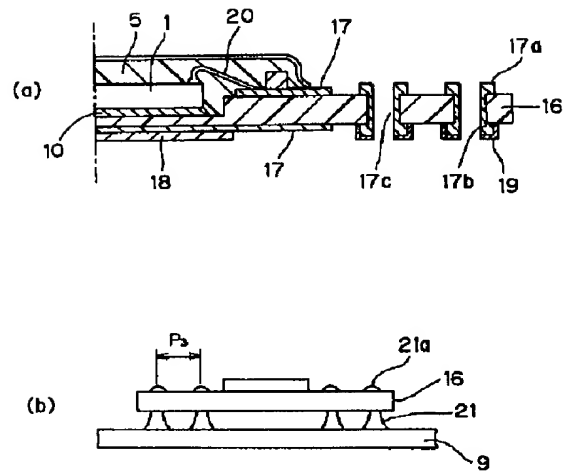


【図6】



- 3d … スルーホールめっき
 11 … 半田ボール
 12, 14 … 接着材
 13 … 補強板
 15 … ヒートスプレッダ

【図7】



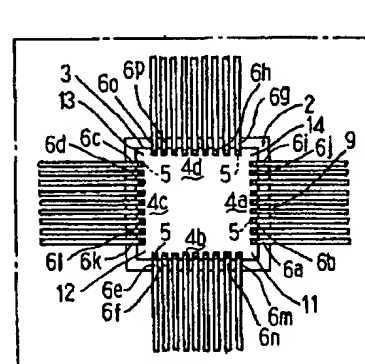
- 16 … パッケージ基板
 17 … 銅箔配線
 17a … ランド
 17b … ランド
 17c … スルーホールめっき
 18 … 銅板
 19 … 半田めっき
 20 … ボンディングワイヤ
 21 … 半田
 21a … 半田塗り上がり

(54) MANUFACTURE OF TAB LEAD TYPE SEMICONDUCTOR DEVICE

(11) 5-183020 (A) (43) 23.7.1993 (19) JP
 (21) Appl. No. 3-345764 (22) 27.12.1991
 (71) NEC KANSAI LTD (72) TOMONORI KATO
 (51) Int. Cl⁵. H01L21/603, H01L21/60

PURPOSE: To make it possible to thermally bond the bump electrodes and inner leads under pressure reliably without any displacement even when the width and interlead pitches of the inner leads are small by setting the bonding order in such a manner that the temperature distribution of the through hole aperture edges of an insulating film is made substantially equal at the time of thermal bonding under pressure.

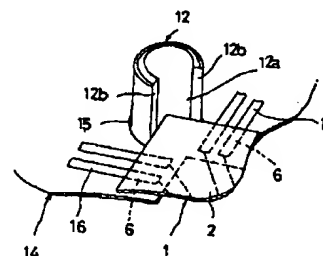
CONSTITUTION: In a through hole 2 formed in an insulating film 1, a plurality of inner leads 6 formed by extending a conductive pattern, and a plurality of bump electrodes 5 made of semiconductor pellets 3 arranged in the through hole 2 are superposed. The superposed parts are thermally bonded under pressure by a bonding tool one after another. At this juncture, the bonding order is defined so that the temperature distribution of the through hole aperture edges in the insulating film 1 is made substantially equal at the time of the pressurized thermal bonding. For example, the inner leads 6a and 6b in the vicinity of the corner 11 of the first side 4a of the semiconductor pellet 3 are thermally bonded under pressure, and then, the inner leads 6c and 6d in the vicinity of the corner 13 of the third side 4c are thermally bonded under pressure. After that, the inner leads 6e to 6p are thermally bonded under pressure in that order.

**(54) IC MODULE MOUNTING METHOD**

(11) 5-183021 (A) (43) 23.7.1993 (19) JP
 (21) Appl. No. 3-356757 (22) 26.12.1991
 (71) CASIO COMPUT CO LTD (72) KAORU YOSHIDA
 (51) Int. Cl⁵. H01L21/603, H05K3/32

PURPOSE: To avoid the generation of unstable thermal bonding pressure in any parts.

CONSTITUTION: A positioning pin 12 provided on the upper surface of a pressurized thermal bonding stage is of such a structure that its horizontal section is substantially in a C-letter shape, and the extended planes of the wall ends 12b facing the side aperture 12a correlatively are orthogonal to each other. When an IC module 1 is mounted on a flexible circuit board 14, the position hole 15 of the flexible circuit board 14 engages with the positioning pin 12 for the required positioning. Then, the corner of the film substrate 2 of the IC module 1 is inserted into the side aperture 12a of the positioning pin 12 to cause it to abut upon the oppositely facing wall ends 12b of the side aperture 12a for positioning. In this state, the circumference of the film substrate 2 is thermally bonded under pressure by a heater chip. In this case, the heater chip and positioning pin 12 do not interfere. Therefore, there is no possibility that the thermal bonding pressure becomes unstable at the corner of the film substrate 2.



6 and 16: connection terminal

(54) CHIP AUTOMATIC SELECTION AND TRANSFER APPARATUS

(11) 5-183022 (A) (43) 23.7.1993 (19) JP
 (21) Appl. No. 3-359355 (22) 26.12.1991
 (71) EMUTETSUKU K.K. (72) HARUO OZAKI
 (51) Int. Cl⁵. H01L21/66, H01L21/68

PURPOSE: To provide an apparatus for discriminating good and no good conditions of chips and simultaneously arranging the chips, moreover picking up chips and simultaneously checking again the good and no good conditions of chips by comprising particular a semiconductor wafer loading tray, a chip arranging device, an optical detecting device and a collet.

CONSTITUTION: This chip automatic selection and transfer apparatus comprises a semiconductor wafer loading tray 21 for loading diced semiconductor wafer 1 to move in the X-Y directions and a chip arranging device 22 for arranging good chips 1d transferred from the loading tray 21 while these are moved in the X-Y directions. Moreover, at least an optical detecting device 23 is also provided in the upper part of the chips 1d to be transferred in order to discriminate the good or no good condition of the chips 1d by detecting the marks applied on the chips 1d. In addition, at least three sets of collet 24 are provided in such a manner as being arranged with the equal interval on the same circumference around the rotating axis and moved in the axial direction of the rotating axis to receive the good chips 1d from the loading tray 21 and transfer the chips 1d to the chip arranging device 22.

